



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Veröffentlichungsnummer: 0 623 963 A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 94106861.1

(61) Int. Cl. 5: H01L 29/784, H01L 29/60

(22) Anmeldetag: 02.05.94

(30) Priorität: 06.05.93 DE 4315064

(71) Anmelder: SIEMENS AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
D-80333 München (DE)

(43) Veröffentlichungstag der Anmeldung:
09.11.94 Patentblatt 94/45

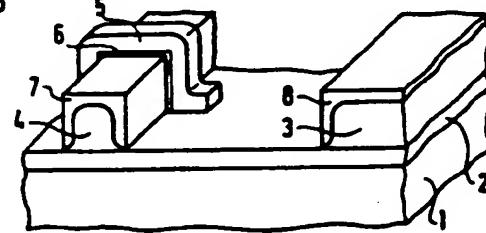
(72) Erfinder: Neppl, Franz, Dr.
Laurinweg 11
D-85521 Ottobrunn (DE)
Erfinder: Winnerl, Josef, Dr.
Stefan-George-Ring 49
D-81929 München (DE)

(84) Benannte Vertragsstaaten:
DE FR GB IT

(54) MOSFET auf SOI-Substrat.

(57) FET, bei dem ein Kanalbereich in einem aus der Siliziumschicht eines SOI-Substrates ausgeätzten Steg (4) ausgebildet ist, den eine Gate-Metallisierung (5) klammerartig umfaßt, wobei zur Ausbildung eines MOSFET eine Dielektrikumschicht (6) zwischen der Gate-Metallisierung (5) und dem Steg (4) vorhanden ist und Source- und Drain-Gebiete durch Dotierungen (7) gegeben sind.

FIG 3



EP 0 623 963 A1

REST AVAILABLE COPY

Steges braucht daher nicht ganz so gering zu sein wie die Transistorhöhe bei herkömmlichen Strukturen. Die Dicke der Siliziumschicht 3, aus der der Steg 4 geätzt wurde, bestimmt nur noch die Weite des Transistors (Breite des Kanals) und ist daher unkritischer. Es brauchen daher keine so engen Toleranzen bei der Herstellung eingehalten zu werden. Zur Erzeugung von CMOS-Strukturen (s. z. B. S.M. Sze: Semiconductor Devices, Wiley 1985, S. 492 - 497) können die Stege für NMOS und PMOS zunächst entsprechend vordotiert werden. Die Source- und Drain-Gebiete müssen getrennt selektiv für beide Transistorarten hergestellt werden. Schließlich wird die Oberfläche mit einer Dielektrikumsschicht 10 (s. Fig. 4) bedeckt und planarisiert. Diese Schicht kann z. B. ein isolierendes Oxid (z. B. SiO_2) sein. Zur Erleichterung einer globalen Planarisierung können bei der Herstellung der Stege 4 aus Mono-Silizium in den nicht aktiven Bereichen größere Flächen der ursprünglichen Siliziumschicht 3 stehen bleiben, wie das in den Figuren auf der rechten Seite eingezeichnet ist. Die Kontaktlöcher zu den Source-Gebieten und Drain-Gebieten werden in die Dielektrikumsschicht 10 geätzt und die Öffnungen mit Metall, z. B. Wolfram, gefüllt. Eine derartige Metallisierung 9 ist in Fig. 4 eingezeichnet. Diese Metallisierung 9 ist ebenfalls in einer den Steg 4 klammerartig umfassenden Weise ausgebildet. Das Metall an der Oberfläche wird ggf. rückgeätzt oder durch Polieren planarisiert. In Fig. 4 ist der Übersichtlichkeit halber nur auf einer Seite der Gate-Metallisierung 5 eine weitere Metallisierung 9 eingezeichnet. Durch die planare Deckschicht 10 und die ebene Oberfläche dieser Metallisierungen ist erreicht, daß die Oberfläche dieser Transistorstruktur für mögliche weitere Leiterbahnen planar ist.

Das Problem der hohen erforderlichen Selektivität bei der Ätzung der Gate-Metallisierung kann dadurch entschärft werden, daß auf die Oberseite des Steges eine weitere, dickere Dielektrikumsschicht 11 (z. B. SiO_2) aufgebracht wird, wie in Fig. 5 dargestellt ist. Dadurch wird außerdem das eventuell kritische Transistorsegment an den Stegkanten eliminiert. Nachdem die Gate-Metallisierung 5 aufgebracht ist, wird diese weitere Dielektrikumsschicht 11 zusammen mit der zuvor aufgebrachten Dielektrikumsschicht 6 seitlich der Gate-Metallisierung 5 von dem Steg 4 entfernt.

Eine Alternative zur vollständigen Vermeidung des Selektivitätsproblems ist folgende: Es ist nicht erforderlich, diese Gate-Metallisierung 5 nachträglich zu strukturieren, wenn die Metallisierung nur in dem vorgesehenen Bereich aufgebracht wird. Das kann z. B. entsprechend der Figur 6 dadurch geschehen, daß eine planare Hilfsschicht 10 ganzflächig aufgebracht wird, die den Steg 4 vollständig überdeckt. Diese Hilfsschicht 10 wird

unter Verwendung einer Maskenschicht 11 strukturiert. Die Hilfsschicht 10 wird z. B. in der Richtung des in Fig. 6 eingezeichneten Pfeiles anisotrop im Bereich des Gate ausgeätzt. Die entstehende Öffnung wird dann mit dem Material der Gate-Metallisierung aufgefüllt. Die Hilfsschicht kann dann für die weitere Bearbeitung des Transistors entfernt werden. Überschüssiges Metall wird zuvor z. B. durch Rückätzen oder chemisch-mechanisches Polieren (CMP) entfernt. Mit dieser Technik können extrem kurze Gatelängen (d. h. schmale Gate-Metallisierungen) ohne aggressive Lithographie durch CARL und ähnliche Techniken erreicht werden.

Die erfindungsgemäße Struktur des Feldeffekttransistors ist für verschiedene Transistorstrukturen leicht abzuwandeln. Insbesondere kann die für einen MOSFET vorgesehene Dielektrikumsschicht 6 entfallen (MESFET) oder durch andere Schichten ersetzt sein. Das Herstellungsverfahren für vertikale CMOSFETs besitzt alle Vorteile der SOI-Technologie für völlig verarmte Transistoren. Der Platzbedarf für MOSFETs einer bestimmten Stromverarbeitung wird aber deutlich verringert. Es werden keine problematischen extrem dünnen Siliziumschichten von SOI-Substraten benötigt. Einflüsse der Grenzfläche zwischen Silizium- und Oxidschicht sind wegen des geringen Flächenanteiles (schmale Stege) klein. Diese Technologie läßt sich außerdem wegen der relativ großen Dicke der verwendeten Siliziumschicht ggf. mit in größeren übrig gebliebenen Bereichen dieser Siliziumschicht realisierten Standard-Volumen-Funktionselementen kombinieren. Derartige Funktionselemente sind z. B. Siliziumtransistoren in Standardstruktur wie CMOS, Bipolartransistoren oder spezielle ESD-Strukturen. Der erfindungsgemäße FET läßt sich den jeweiligen Anforderungen entsprechend abwandeln, wobei die jeweils realisierte vertikale Anordnung des Kanalbereiches als Steg der Halbleiterschicht eines SOI-Substrates die einfache Herstellbarkeit garantiert.

Patentansprüche

1. Feldeffekttransistor,
bei dem ein Kanalbereich für ein Gate an den drei Oberflächen eines Steges (4) aus Halbleitermaterial ausgebildet ist,
bei dem eine Gate-Metallisierung (5) vorhanden ist, die quer zur Längsrichtung dieses Steges (4) den Steg (4) klammerartig umschließt,
bei dem beidseitig dieses Gates in diesem Steg (4) Source- und Drain-Bereiche ausgebildet sind und
bei dem auf diesen Source- und Drain-Bereichen Metallisierungen als Source-Kontakt und als Drain-Kontakt aufgebracht sind.

FIG 1

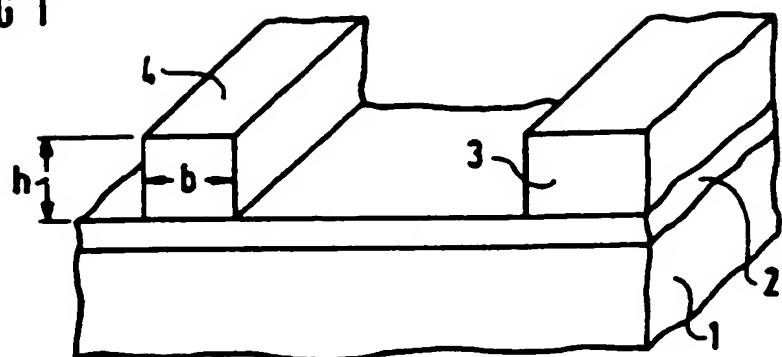


FIG 2

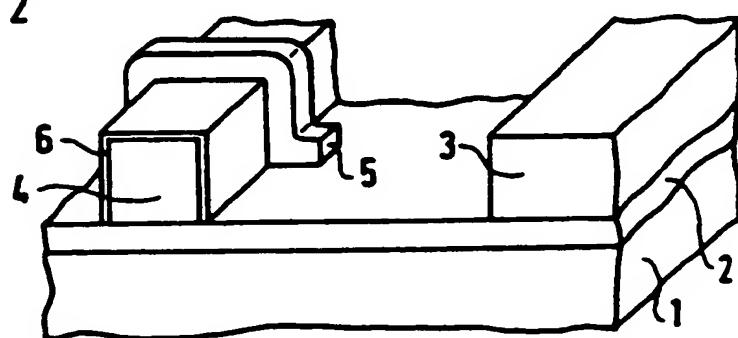
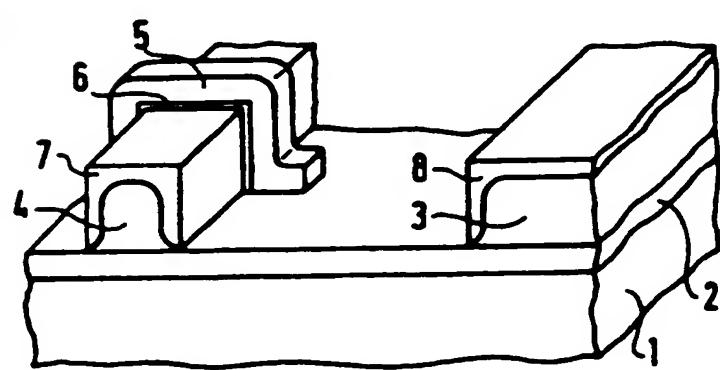


FIG 3





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 94 10 6861

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.CLS)
X	US-A-4 996 574 (M. SHIRASAKI) * Spalte 3, Zeile 46 - Spalte 5, Zeile 57; Abbildungen 4,5,9 *	1-4,6,7	H01L29/784 H01L29/60
X	US-A-5 115 289 (D. HISAMOTO ET AL.) * Abbildung 1 *	1,4,5	
RECHERCHIERTE SACHGEBIETE (Int.CLS)			
H01L			
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Rechercheort	Abschlußdatum der Recherche	Prüfer	
BERLIN	17. August 1994	Juhl, A	
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderem Grunde angeführtes Dokument A : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	